

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-288588

(43)Date of publication of application : 13.10.1992

(51)Int.Cl.

G09G 3/36

G02F 1/133

G02F 1/136

(21)Application number : 03-052245

(71)Applicant : MATSUSHITA ELECTRON CORP

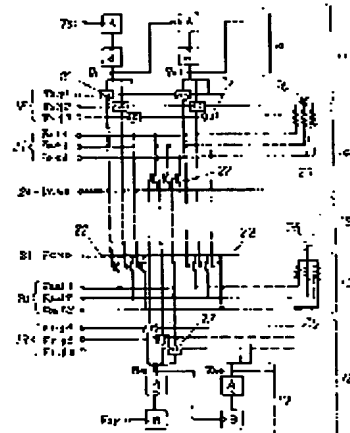
(22)Date of filing : 18.03.1991

(72)Inventor : EMOTO FUMIAKI  
SENDA KOJI  
NAKAMURA AKIRA  
YAMAMOTO ATSUYA

## (54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

PURPOSE: To easily and securely detect a defect caused by a horizontal circuit and a data line before a liquid crystal process on the TFT substrate of the active matrix liquid crystal display device.  
CONSTITUTION: Horizontal driving circuits 11 and 12 provided on the top and reverse sides of a display part 15 and inspecting circuits 13 and 14 which input signals from data lines are formed on the same substrate with TFTs of the display part 15. A pulse is supplied to one of plural video signal input lines 18 and 19 and the other video signal input line is placed in a float state; and the output waveforms of the inspecting circuits 13 and 14 are checked to evaluate the cause of the defect and its place.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Y04-6

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-288588

(43) 公開日 平成4年(1992)10月13日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7926-5G		
G 0 2 F 1/133	5 5 0	7820-2K		
1/136	5 0 0	9018-2K		

F01

審査請求 未請求 請求項の数6 (全 9 頁)

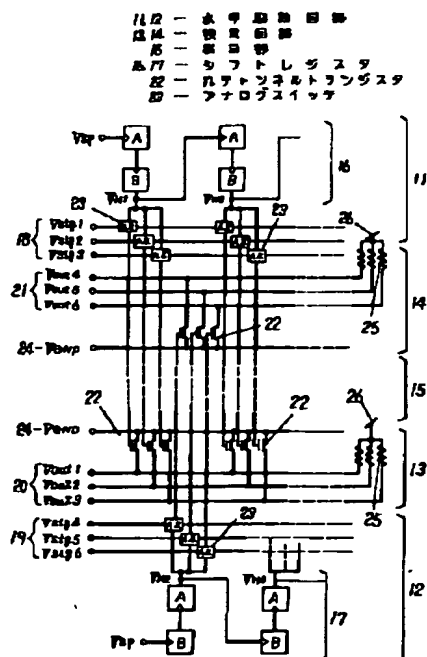
(21) 出願番号	特願平3-52245	(71) 出願人	000005843 松下電子工業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成3年(1991)3月18日	(72) 発明者	江本 文昭 大阪府門真市大字門真1006番地 松下電子工業株式会社内
		(72) 発明者	千田 耕司 大阪府門真市大字門真1006番地 松下電子工業株式会社内
		(72) 発明者	中村 晃 大阪府門真市大字門真1006番地 松下電子工業株式会社内
		(74) 代理人	弁理士 小鍛冶 明 (外2名) 最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置

(57) 【要約】

【目的】 本発明は、アクティブマトリクス型液晶表示装置のTFT基板において液晶工程前に水平回路およびデータ線に起因する不良を容易に、かつ確実に検出することができるアクティブマトリクス型液晶表示装置を目的とするものである。

【構成】 表示部15の上下に設けられた水平駆動回路11、12とデータ線を入力とする検査回路13、14を表示部15のTFTと同一基板上に形成する。複数の映像信号入力線18、19のうちの1本にパルスを供給し、残りの映像信号入力線は、フロートにして、検査回路13、14の出力波形を調べることにより不良原因および不良箇所を評価する。



1

## 【特許請求の範囲】

【請求項1】 複数のデータ線とゲート線のクロス点にアクティブ素子を設けた液晶表示部と、前記複数のデータ線に各々に接続されたアナログスイッチと、前記アナログスイッチを順次駆動して前記複数のデータ線に映像入力線からの映像信号をクロックパルスに同期して入力走査するシフトレジスタと、前記複数のデータ線の末端を接続した検査回路を具備し、検査回路が前記複数のデータ線の末端電位に応じた出力を得るようにしたアクティブマトリクス型液晶表示装置。

【請求項2】 前記映像入力線が複数本からなり、前記複数本の映像入力線のそれぞれに対応したアナログスイッチ、データ線、検査回路を有する請求項1記載のアクティブマトリクス型液晶表示装置。

【請求項3】 複数のデータ線が第1のアナログスイッチ群に接続された第1のデータ線群と、第2のアナログスイッチ群に接続された第2のデータ線群で構成され、シフトレジスタが前記第1のアナログスイッチ群を駆動する第1のシフトレジスタと前記第2のアナログスイッチを駆動する第2のシフトレジスタからなり、前記第1のデータ線群の末端には第1の検査回路が接続され、前記第2のデータ線群の末端には第2の検査回路が接続され、前記第1のシフトレジスタと前記第1のアナログスイッチ群と第2の検査回路が液晶表示部の周囲の上部に配置され、前記第2のシフトレジスタと前記第2のアナログスイッチ群と第1の検査回路が前記液晶表示部の周囲の下部に配置された請求項1または2記載のアクティブマトリクス型液晶表示装置。

【請求項4】 第1、第2のシフトレジスタがクロックパルスの半周期だけ位相がずれて、それぞれ第1、第2のアナログスイッチを駆動するようにした請求項3記載のアクティブマトリクス型液晶表示装置。

【請求項5】 検査回路が、映像入力線への映像信号の入力を停止し、一部の前記映像入力線に前記映像信号に代えてクロックパルスの整数倍の周波数のパルスを入力することにより動作する請求項1から4のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項6】 検査回路がAND回路またはNOR回路からなる請求項1から5のいずれかに記載のアクティブマトリクス型液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタなどによるアクティブ素子を用いたアクティブマトリクス型液晶表示装置に関する。

## 【0002】

【従来の技術】 近年、アクティブマトリクス型液晶表示装置が大画面化、量産化に適合していることから実用化され、さらに小型化、高画質化の点からアクティブ素子として薄膜トランジスタ（以降TFTと記す）を用いた

2

方式が実用化されている。この方式の携帯テレビに應用されている液晶表示装置用のTFT基板は、図6に示すようにスイッチ用アクティブ素子として薄膜トランジスタの一種であるアモルファストランジスタ3と電荷を蓄積する蓄積容量4から構成されている。図6で、1は表示部のデータ線群（D1、D2、・・・）、2は表示部のゲート線群（G1、G2、・・・）、そして、5は蓄積容量4の共通電極線である。この回路構成で表示部のデータ線群1の欠陥検査は、断線を調べる程度である。

10 その方法は、データ線群1の両端で10本程度ずつつないで端子を作り、各つないだ線の両端の端子間の線抵抗を調べて、断線の有無を選別し、不良を検出している。たとえば、データ線を10本つないだ正常な線抵抗が、R1とすると、1本が断線していると線抵抗が10/9倍になり、2本が断線していると線抵抗が10/8倍になる。このようにして線抵抗を調べることにより、断線不良を選別している。

## 【0003】

20 【発明が解決しようとする課題】 このようにしてデータ線の断線による不良の判定は可能であるが、しかし、検査するのに要する時間が長く、また断線不良箇所はどの線群かを特定できるだけで、どの線であるかまでは特定できない。さらに隣接するデータ線間の短絡不良を選別することはできない。以上のようにデータ線での断線あるいは短絡による不良をTFT基板の段階で生産ベースにあった短い時間で検査することができず、不良の選別ができないまま、次の液晶工程に導入されるためにコスト高の一因となっている。

30 【0004】 本発明は、上記の課題に留意し、データ線の欠陥の検出が容易で、かつ高精度あるいは高密度の画素のアクティブマトリクス液晶ディスプレイにも応用可能なアクティブマトリクス型液晶表示装置を提供することを目的とする。

## 【0005】

【課題を解決するための手段】 本発明の上記目的を達成するために、アクティブ素子を用いたアクティブマトリクス型液晶表示装置において、複数のデータ線の末端を接続した検査回路を備え、その検査回路がデータ線の末端の電位に応じた出力を得るものである。

## 40 【0006】

【作用】 上記構成のアクティブマトリクス型液晶表示装置は、映像信号を入力し、走査回路により複数のデータ線を走査することにより、検査回路がデータ線の末端電位の状態を検出することで、断線またはショートなどの欠陥を有するデータ線を選び出すことができるものである。一般にアクティブマトリクス型液晶表示装置は、シフトレジスタなどの走査回路によりクロックパルスに同期して映像信号が複数データ線を順次走査されるが、その走査の際にデータ線の末端に入力された信号が発生するかどうかを検査回路で検出する。その検出の際、クロ

ックパルスにより順次各データ線に入力信号が現われるように動作するので、欠陥のあるデータ線のところでデータ線の末端の信号に異常が発生すると、検出回路の出力信号に異常が発生し、その時間的な位置から、そのデータ線を特定することができるとともに、その異常信号のレベルから不良モードが解る。すなわち、不良を判定するために断線か短絡かの不良モードの特定および不良箇所の特定制が同時にでき、不良チップの液晶工程への導入がなくなり、最終的な製品である液晶ディスプレイのコストを下げることができる。さらに、本方法では液晶ディスプレイの画素の高集積化を進めてもなら検査が困難になることがない。

【0007】

【実施例】以下、本発明の一実施例のアクティブマトリクス型液晶表示装置について説明する。図1は第1の実施例のアクティブマトリクス型液晶表示装置用水平回路の回路構成を示すブロック図、図2はその水平回路内のシフトレジスタの回路図である。3は、本実施例の水平回路の駆動方法を示すパルスタイミングチャートである。表示部15の上下に設けられている水平駆動回路11、12は、2相クロックパルスによるシフトレジスタ16、17とシフトレジスタの各出力 $V_{H1}$ 、 $V_{H2}$ 、 $V_{H3}$ 、 $V_{H4}$ ...によって駆動されるアナログスイッチ23と映像信号入力線18、19と表示部15のデータ線につながるアナログスイッチ23の出力線から成っている。シフトレジスタ16、17の1出力で駆動するアナログスイッチの数は、上下各側の映像信号入力線18、19の数と同じにしている。図1の場合、3つのアナログスイッチ23を駆動している。上下の水平駆動回路11、12は、各3列のデータ線を順に映像信号を転送していく。また、図2に示すように、シフトレジスタ16、17には回路Aと回路Bの2種類の回路で構成され、この回路を駆動するためのスタートパルスVSPは共通である。図3に示すようにクロックパルスの位相は180度ずれた関係にあり、シフトレジスタは、シフトレジスタ16、17と2つあるが、駆動パルスの種類は、2種類のクロックパルスとスタートパルスVSPとを合わせて3つである。シフトレジスタ回路A、Bの出力は、それぞれについてクロックパルス1周期時間だけシフトしたパルスを出し、隣合う $V_{Hn}$ と $V_{Hn+1}$ とはクロックパルス半周期時間だけシフトしている。

【0008】表示部15の上部の水平駆動回路11で駆動されるデータ線の不良を検査する検査回路13は、表示部15を挟んで反対側の表示部15の下部に設けている。表示部15の下部の水平駆動回路12で駆動されるデータ線の不良を検査する検査回路14は、表示部15を挟んで反対側の表示部15の上部に設けている。検査回路13、14は、上下合わせて6組のNOR回路で構成されている。NOR回路は、 $n$ チャンネルトランジスタ22と抵抗25から成り、データ線が $n$ チャンネルト

ランジスタ22のゲートに接続され、複数のトランジスタを並列接続している。抵抗25は、検査のときのみ必要で同一基板に内蔵しても外部に設けても構わない。

【0009】検査の方法は、図4(a)に示すようにシフトレジスタ16、17の出力パルス $V_{Hn}$ により水平駆動回路を駆動したうえで、映像信号入力線18の内の1本だけにパルスを入力し、他の映像入力線は、フローティングにする。たとえば、図4(b)に示すように $V_{sig1}$ だけにクロックパルスの倍周期のパルスを入力し、他の $V_{sig}$ をフローティングにする。欠陥がない場合、図4(c)のように $V_{out1}$ のみ $V_{sig1}$ と反対の波形が出力され、他の出力は一定のDCレベルとなる。もし、表示部15の第 $3n+2$ 列データ線と第 $3n+1$ 列データ線とが短絡していると、図4(d)のように一定のDCレベルの出力 $V_{out2}$ の $V_{Hn}$ の選択期間に2つのパルスが出てくる。表示部15の第 $3n$ 列データ線と第 $3n+1$ 列データ線とが短絡している場合も、図4(e)のように一定のDCレベルの出力 $V_{out6}$ の $V_{Hn}$ の選択期間に2つのパルスが出てくる。また第 $3n+1$ 列のデータ線に断線がある場合、映像信号入力線のパルスが検査回路のゲートまで伝わらないので検査回路の出力 $V_{out1}$ は、図4(f)のように $V_{Hn}$ の選択期間にパルスがない波形となる。

【0010】本実施例では、検査回路のトランジスタを $n$ チャンネルとしたがこれに限らず、 $p$ チャンネルでもよい、その場合、検査回路のハイレベルとローレベルの電源のレベルが反対となる。このように検査回路は、表示部のデータ線を入力とするNOR回路または、AND回路構成であればよい。

【0011】なお、実施例の説明では、データ線の短絡と断線について述べたが、アナログスイッチの動作不良により常にOFFになっている場合も、断線と同様に欠陥として検出できる。さらに本実施例では、シフトレジスタ回路をCMOSスタティックとしたが、これに限らず、CMOSダイナミック回路やNMOSスタティック回路、NMOSダイナミック回路などの構成で設計してもよい。

【0012】本実施例の検査回路は、検査のときのみ必要で実際の表示のときには、不要であり、検査のときのみ接続すればよい。すなわち、検査のときのみプローバでデータ線に針を立て外部にNOR回路あるいは、AND回路を設けてもよい。

【0013】図5は、本発明の第2の実施例のアクティブマトリクス型液晶表示装置の構成を示すブロック図である。図5に示すように、その構成要素は水平駆動回路31、検査回路32、表示部33からなる。水平駆動回路31は、シフトレジスタ34とシフトレジスタ34により駆動されるアナログスイッチ35、アナログスイッチ35への映像信号入力線36からなる。検査回路32は、データ線を入力とする3組のNOR回路である。検

査回路32の出力が、出力38である。このように、第1の実施例の上下に設けられた検査回路が片側のみの構成例である。

【0014】検査の方法は、図4と同様に水平駆動回路31を駆動したうえで、映像信号入力線の内の1本だけにパルスを入力し、他の映像入力線は、フローティングにする。たとえばVsig1だけにクロックパルスの倍周期のパルスを入力し、他のVsigをフローティングにすると図4と全く同じ動作となる。すなわち欠陥がない場合、Vout1のみVsig1と反対の波形が出力され、他の出力は一定のDCレベルとなる。もし、表示部33の第3n+2列データ線と第3n+1列データ線とが短絡していると、一定のDCレベルの出力Vout2のVEnの選択期間に2つのパルスが出てくる。また表示部33の第3n列データ線と第3n+1列データ線とが短絡している場合は、一定のDCレベルの出力Vout6のVEnの選択期間に2つのパルスが出てくる。つぎに第n+1列のデータ線に断線がある場合、映像信号入力線のパルスが検査回路のゲートまで伝わらないので検査回路の出力Vout1は、VEnの選択期間にパルスがない波形となる。

【0015】

【発明の効果】以上の説明より明らかなように本発明のアクティブマトリクス型液晶表示装置は、そのデータ線の末端に検知回路を設けることにより、TFT基板作製

後の液晶工程前において精度の高い欠陥検査を可能とするものであり、高密度化されたTFT基板の検査を簡易にかつ確実に行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例のアクティブマトリクス型液晶表示装置の回路構成を示すブロック図

【図2】同実施例の液晶表示装置のシフトレジスタの回路図

【図3】同実施例の液晶表示装置の駆動パルスとシフトレジスタの出力波形を示すタイミングチャート

【図4】同実施例の液晶表示装置の検査の方法を示す各部動作を示すタイミングチャート

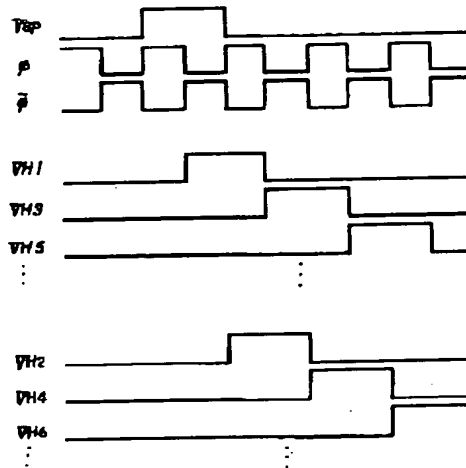
【図5】本発明の第2の実施例の液晶表示装置の回路構成を示すブロック図

【図6】従来の液晶表示装置のTFT基板の回路構成を示すブロック図

【符号の説明】

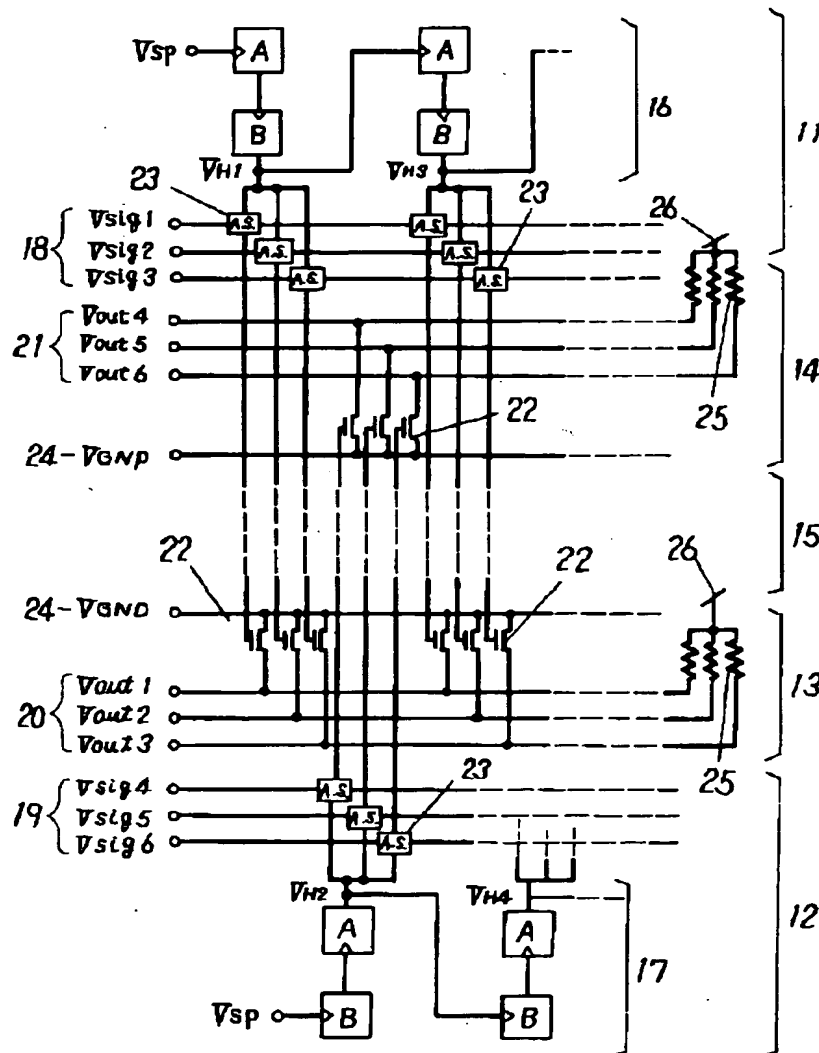
- |        |              |
|--------|--------------|
| 11, 12 | 水平駆動回路       |
| 13, 14 | 検査回路         |
| 15     | 表示部          |
| 16, 17 | シフトレジスタ      |
| 22     | nチャンネルトランジスタ |
| 23     | アナログスイッチ     |

【図3】

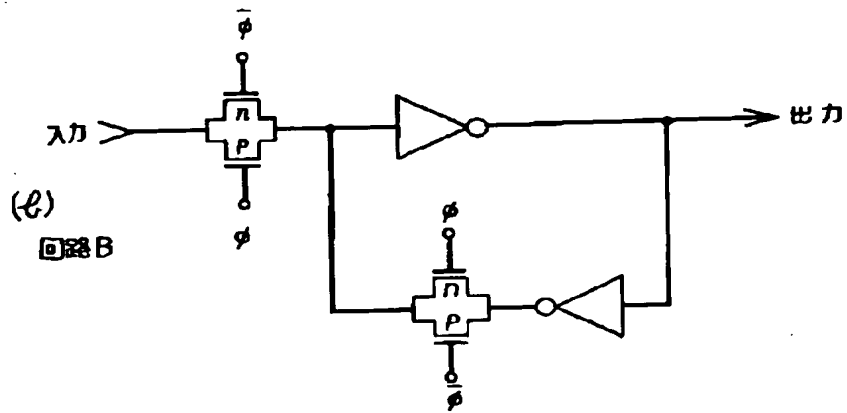
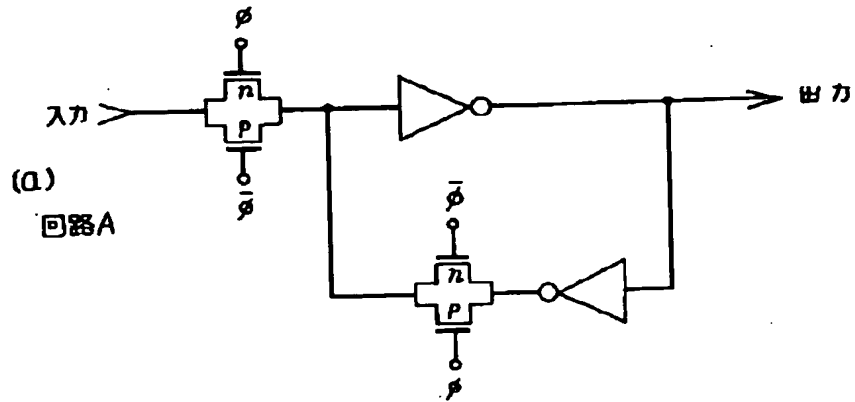


【図1】

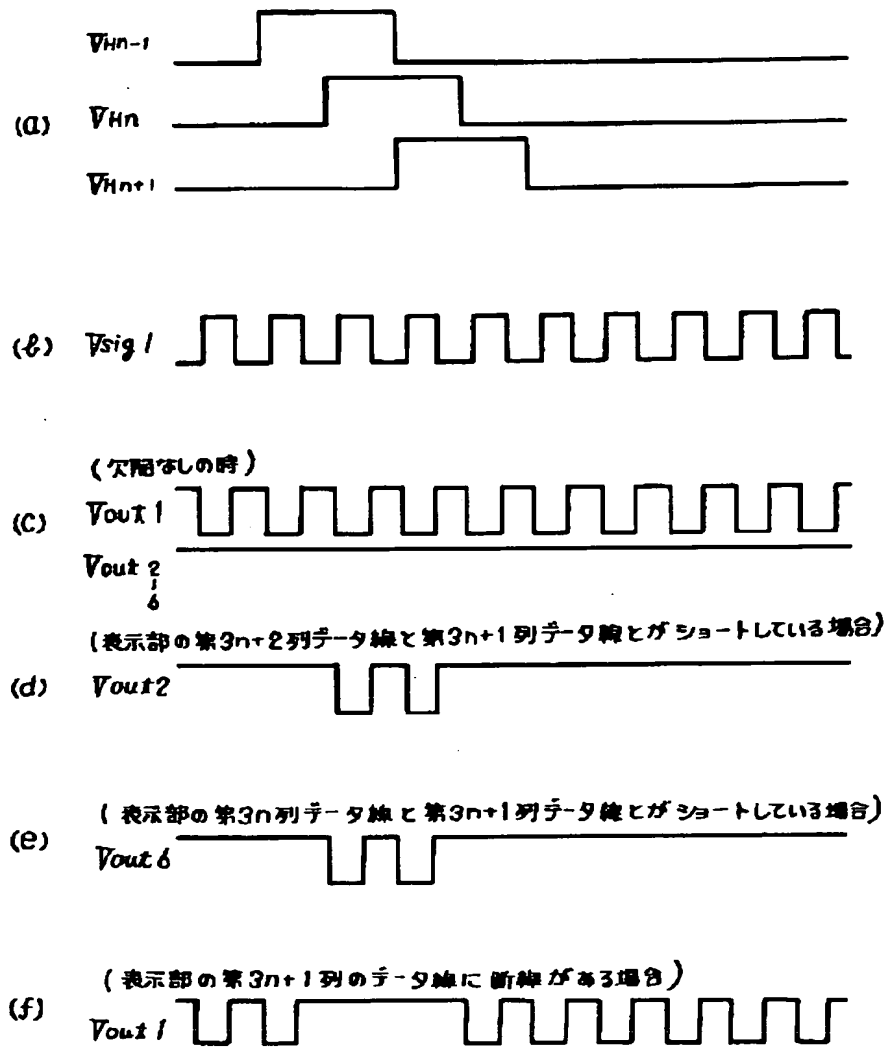
- 11, 12 --- 水平駆動回路  
 13, 14 --- 検査回路  
 15 --- 表示部  
 16, 17 --- シフトレジスタ  
 22 --- 多チャンネルトランジスタ  
 23 --- アナログスイッチ



【図2】

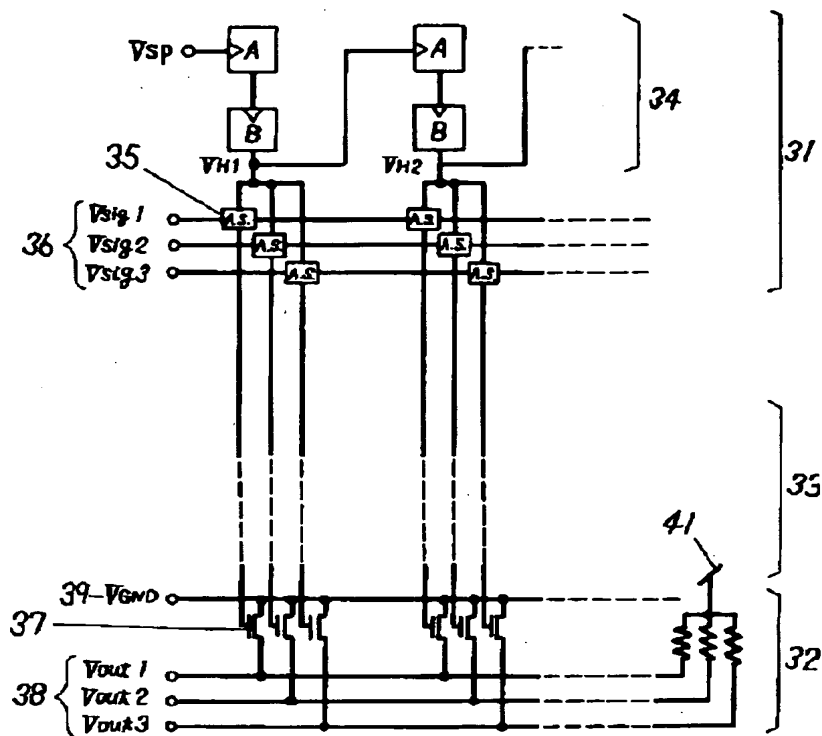


【図4】

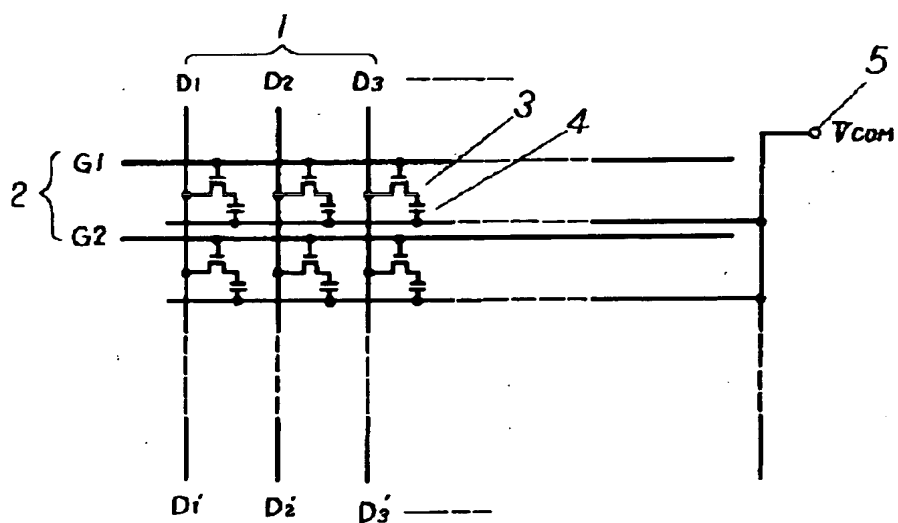




【図5】



【図6】



(9)

特開平4-288588

フロントページの続き

(72)発明者 山本 敦也

大阪府門真市大字門真1006番地 松下電子  
工業株式会社内